

# HANSER



Inhaltsverzeichnis

Dirk W. Hoffmann

Grundlagen der Technischen Informatik

ISBN: 978-3-446-42150-9

Weitere Informationen oder Bestellungen unter

<http://www.hanser.de/978-3-446-42150-9>

sowie im Buchhandel.

# Inhaltsverzeichnis

---

<b>1 Einführung</b>	<b>13</b>
1.1 Was ist technische Informatik? . . . . .	13
1.2 Vom Abakus zum Supercomputer . . . . .	15
1.3 Wohin geht die Reise? . . . . .	32
<b>2 Halbleitertechnik</b>	<b>35</b>
2.1 Halbleiter . . . . .	36
2.1.1 Atommodell von Bohr . . . . .	36
2.1.2 Reine Halbleiter . . . . .	39
2.1.3 Dotierte Halbleiter . . . . .	41
2.2 Integrierte Schaltelemente . . . . .	43
2.2.1 Halbleiterdioden . . . . .	43
2.2.2 Bipolartransistoren . . . . .	44
2.2.3 Feldeffekttransistoren . . . . .	48
2.3 Chip-Fertigung . . . . .	53
2.3.1 Produktion integrierter Schaltkreise . . . . .	53
2.3.2 Integrationsdichte . . . . .	59
2.4 Übungsaufgaben . . . . .	60
<b>3 Zahlendarstellung und Codes</b>	<b>61</b>
3.1 Zahlensysteme . . . . .	62
3.2 Rechnerinterne Zahlenformate . . . . .	70
3.2.1 Darstellung natürlicher Zahlen . . . . .	70
3.2.2 Darstellung rationaler Zahlen . . . . .	76
3.3 Zahlencodes . . . . .	83
3.3.1 Tetraden-Codes . . . . .	83
3.3.2 Fehlererkennende Codes . . . . .	87
3.4 Zeichencodes . . . . .	89
3.4.1 ASCII-Code . . . . .	89
3.4.2 ISO 8859 . . . . .	91
3.4.3 Unicode . . . . .	92
3.5 Übungsaufgaben . . . . .	96
<b>4 Boolesche Algebra</b>	<b>101</b>
4.1 Axiomatisierung nach Huntington . . . . .	102

4.1.1	Mengenalgebra . . . . .	103
4.1.2	Schaltalgebra . . . . .	105
4.2	Boolesche Ausdrücke und Aussagen . . . . .	107
4.2.1	Abgeleitete Operatoren . . . . .	109
4.2.2	Erfüllbarkeit und Äquivalenz . . . . .	112
4.2.3	Strukturelle Induktion . . . . .	114
4.2.4	Dualitätsprinzip . . . . .	117
4.3	Rechnen in booleschen Algebren . . . . .	121
4.3.1	Abgeleitete Umformungsregeln . . . . .	121
4.3.2	Vereinfachung boolescher Ausdrücke . . . . .	123
4.3.3	Vollständige Operatorensysteme . . . . .	129
4.4	Normalformdarstellungen . . . . .	131
4.4.1	Konjunktive und disjunktive Normalform . . . . .	131
4.4.2	Reed-Muller-Normalform . . . . .	134
4.4.3	Binäre Entscheidungsdiagramme . . . . .	136
4.5	Übungsaufgaben . . . . .	145
<b>5</b>	<b>Schaltnetze</b>	<b>151</b>
5.1	Grundlagen der Digitaltechnik . . . . .	152
5.1.1	Schaltkreisfamilien . . . . .	152
5.1.2	MOS-Schaltungstechnik . . . . .	157
5.1.3	Lastfaktoren . . . . .	167
5.2	Schaltungssynthese . . . . .	168
5.2.1	Zweistufige Schaltungssynthese . . . . .	169
5.2.2	BDD-basierte Schaltungssynthese . . . . .	170
5.2.3	FDD-basierte Schaltungssynthese . . . . .	171
5.3	Formelsynthese . . . . .	173
5.3.1	Funktionale Formelsynthese . . . . .	173
5.3.2	Relationale Formelsynthese . . . . .	175
5.3.3	Definitorische Formelsynthese . . . . .	176
5.4	Komplexitätsanalyse . . . . .	179
5.5	Zeitverhalten digitaler Schaltungen . . . . .	181
5.5.1	Signalausbreitung und -verzögerung . . . . .	181
5.5.2	Störimpulse . . . . .	183
5.6	Übungsaufgaben . . . . .	188
<b>6</b>	<b>Minimierung</b>	<b>193</b>
6.1	Minimierungsziele . . . . .	194
6.2	Karnaugh-Veitch-Diagramme . . . . .	198
6.2.1	Minimierung partiell definierter Funktionen . . . . .	202
6.2.2	Konstruktion Hazard-freier Schaltungen . . . . .	206
6.2.3	Minimierung mehrstelliger Funktionen . . . . .	208

---

6.3	Quine-McCluskey-Verfahren . . . . .	210
6.4	Übungsaufgaben . . . . .	215
<b>7</b>	<b>Standardschaltnetze</b>	<b>219</b>
7.1	Motivation . . . . .	220
7.2	Multiplexer und Demultiplexer . . . . .	220
7.3	Komparatoren . . . . .	227
7.4	Präfix-Logik . . . . .	229
7.5	Addierer . . . . .	232
7.5.1	Halb- und Volladdierer . . . . .	232
7.5.2	Carry-ripple-Addierer . . . . .	234
7.5.3	Carry-look-ahead-Addierer . . . . .	235
7.5.4	Präfix-Addierer . . . . .	238
7.5.5	Carry-save-Addierer . . . . .	240
7.6	Inkrementierer . . . . .	243
7.7	Subtrahierer . . . . .	244
7.8	Multiplizierer . . . . .	245
7.8.1	Matrixmultiplizierer . . . . .	246
7.8.2	Carry-save-Multiplizierer . . . . .	249
7.8.3	Wallace-Tree-Multiplizierer . . . . .	252
7.8.4	Dadda-Tree-Multiplizierer . . . . .	257
7.9	Barrel-Shifter . . . . .	260
7.10	Arithmetisch-logische Einheit . . . . .	262
7.11	Programmierbare Logikbausteine . . . . .	264
7.12	Übungsaufgaben . . . . .	267
<b>8</b>	<b>Schaltwerke</b>	<b>275</b>
8.1	Digitale Speicherelemente . . . . .	276
8.1.1	Asynchrone Speicherelemente . . . . .	277
8.1.2	Taktzustandgesteuerte Speicherelemente . . . . .	281
8.1.3	Taktflankengesteuerte Speicherelemente . . . . .	284
8.1.4	Bevorrechtigte Eingänge . . . . .	291
8.1.5	CMOS-Implementierung . . . . .	292
8.2	Vom Flipflop zum Schaltwerk . . . . .	295
8.2.1	Endliche Automaten . . . . .	296
8.2.2	Schaltwerksynthese . . . . .	299
8.3	Übungsaufgaben . . . . .	303
<b>9</b>	<b>Standardschaltwerke</b>	<b>309</b>
9.1	Register . . . . .	310
9.1.1	Auffangregister . . . . .	310
9.1.2	Schieberegister . . . . .	312

9.1.3	Universalregister . . . . .	314
9.1.4	Akkumulatoren . . . . .	315
9.2	Zähler . . . . .	318
9.2.1	Synchrone Binärzähler . . . . .	319
9.2.2	Asynchrone Binärzähler . . . . .	323
9.2.3	Mischzähler . . . . .	324
9.2.4	Instruktionszähler . . . . .	326
9.3	Hauptspeicher . . . . .	328
9.3.1	SRAM-Speicher . . . . .	328
9.3.2	DRAM-Speicher . . . . .	330
9.3.3	Fehlererkennung und -korrektur . . . . .	337
9.4	Übungsaufgaben . . . . .	340
<b>10</b>	<b>Register-Transfer-Entwurf</b>	<b>345</b>
10.1	Entwurf komplexer Systeme . . . . .	346
10.1.1	Operationswerksynthese . . . . .	348
10.1.2	Steuerwerksynthese . . . . .	350
10.2	Mikroprogrammierung . . . . .	353
10.3	Übungsaufgaben . . . . .	359
<b>11</b>	<b>Mikroprozessortechnik</b>	<b>361</b>
11.1	Elemente eines Mikrorechners . . . . .	362
11.1.1	Von-Neumann-Architektur . . . . .	362
11.1.2	Aufbau der CPU . . . . .	366
11.2	Ein einfacher Modellprozessor . . . . .	370
11.3	Übungsaufgaben . . . . .	384
<b>12</b>	<b>Rechnerstrukturen</b>	<b>387</b>
12.1	Rechnerklassifikation nach Flynn . . . . .	388
12.2	Instruktionsarchitekturen . . . . .	389
12.2.1	CISC-Prozessoren . . . . .	390
12.2.2	RISC-Prozessoren . . . . .	394
12.3	Methoden zur Leistungssteigerung . . . . .	398
12.3.1	Pipelining . . . . .	398
12.3.2	Cache-Speicher . . . . .	403
12.4	Leistungsbewertung . . . . .	409
12.4.1	Maßzahlen zur Leistungsbewertung . . . . .	409
12.4.2	Benchmarks . . . . .	412
12.5	Übungsaufgaben . . . . .	415
<b>A</b>	<b>Symbolschema der DIN 40900</b>	<b>423</b>

---

<b>B</b>	<b>Notationsverzeichnis</b>	<b>427</b>
<b>C</b>	<b>Gesetze der Schaltalgebra</b>	<b>429</b>
<b>D</b>	<b>Abkürzungsverzeichnis</b>	<b>431</b>
	<b>Literaturverzeichnis</b>	<b>433</b>
	<b>Namensverzeichnis</b>	<b>437</b>
	<b>Sachwortverzeichnis</b>	<b>439</b>